

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-183458

(43)公開日 平成7年(1995)7月21日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/04

21/822

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/ 04

L

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号

特願平5-327197

(22)出願日

平成5年(1993)12月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 井 上 智 利

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72)発明者 石 田 賢 二

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

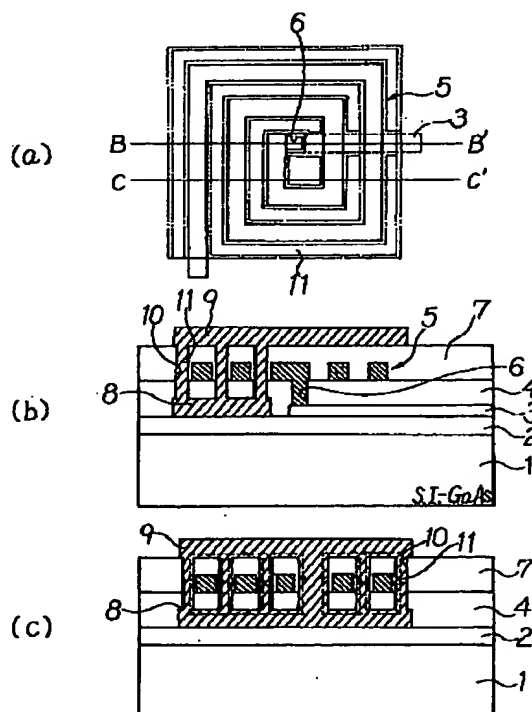
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置

(57)【要約】

【構成】 基板1上に絶縁膜を介して配線されるスパイラルインダクタ5を強磁性導体で形成する。このスパイラルインダクタ5の表裏両側には強磁性導体膜8、9を配し、さらにこれらを強磁性体層11で接続し、磁気閉回路を形成させる。

【効果】 インダクタのインダクタンス成分を増加させ、素子面積、損失を低減させる。



1

## 【特許請求の範囲】

## 【請求項1】半導体基板と、

該半導体基板上に形成された絶縁膜と、  
該絶縁膜上に形成された強磁性導体膜からなるスパイラルインダクタとを備えたことを特徴とする半導体装置。

## 【請求項2】半導体基板と、

該半導体基板上に形成された絶縁膜と、  
該絶縁膜上に形成された強磁性導体膜からなる伝送線路とを備えたことを特徴とする半導体装置。

【請求項3】強磁性導体膜の表裏面側の少なくとも一方に強磁性導体膜が設けられていることを特徴とする請求項1、2のうちのいずれか1項に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高周波用インダクタ、伝送線路が内蔵された半導体装置に関する。

## 【0002】

【従来の技術】近年、高周波回路の応用分野が広がるとともに回路の小型化への要求が強まっている。特に、半導体では受動素子まで集積されたMMIC(Monolithic Microwave IC)化が進められている。また、半導体モジュールとしての小型化も同様であり、実装基板上の受動素子小型化が望まれている。これらの小型化を進める上で重要な要素の1つとしてインダクタの小型化が挙げられる。この時に要求される特性として、小型にはなっても回路から要求されるインダクタンスが確保され、その上で損失が小さく、かつ共振周波数が高いことが挙げられる。

【0003】ところで、MMIC内に最も集積したいインダクタの一つにチョークインダクタがある。

【0004】図4は従来のチョークインダクタを内蔵する半導体装置の構造を示すものである。この図において、401は半導体基板であり、この基板401上には絶縁膜402が堆積され、この絶縁膜402上にはチョークインダクタとなるスパイラルインダクタ403が形成されている。絶縁膜402上の全面には絶縁膜404が堆積され、スパイラルインダクタ403は、この絶縁膜404により被覆されて保護されている。

【0005】以上のような構造を有する半導体装置におけるチョークインダクタは内部のインピーダンスに比べて十分高いインピーダンスを有しかつ、DC抵抗が低いことが要求される。従来、そのインダクタのDC抵抗を抑制するため、スパイラルを形成する金属線幅を太くしていた。しかし、線幅を太くすることにより、必然的にスパイラルの面積を増加し、インダクタに寄生する容量成分が増加してしまった。この容量の増加により共振周波数が下がり、実際にスパイラルインダクタがチョークインダクタンスとして利用できるインピーダンスを保てる周波数が大幅に低くなってしまった。この問題を解決する従来の手法の一つとしてスパイラルを形成する金属

2

の厚さを鍍金などの技術を用いて厚くし、線幅が太くならないようにして面積の増加を抑えていた。しかしながら、この方法によっても容量は大きく、特に大きいインダクタンスを作ることは難しい。

【0006】また、整合回路用のインダクタンスもMMIC内の搭載が望まれる。インダクタンスには高いQ値( $\omega L/R$ )が要求される。これについてもチョークインダクタ同様の方法がとられているが十分な特性は得られていない。

10 【0007】この他に、MMICの小型化を図る上で重要なものに伝送線路がある。図6は伝送線路として、コプレーナ線路を内蔵する半導体装置の構造を示すものである。この図において、601は半導体基板であり、その表面全面には比透磁率1の金属導体膜6031~6033が被着されている。これらの金属導体膜6031~6033は伝送線路を構成するもので、例えば、膜6031、6032が信号線、膜6033がGND線として機能する。絶縁膜602上にはさらにその全面に絶縁膜604が堆積され、金属導体膜6031~6033は絶縁膜604により保護されている。

20 【0008】図7は伝送線路としてマイクロストリップ線路を内蔵する従来の半導体装置の他の例についてその構造を示すものである。この図において、701は半導体基板であり、その表面全面には絶縁膜702が堆積され、この絶縁膜702上には伝送線路となる比透磁率1の金属導体膜703が被着されている。絶縁膜702上の全面には絶縁膜704が堆積され、金属導体膜703はこの絶縁膜704によって被覆され保護されている。基板701の裏面にはやはり比透磁率1の金属導体膜705が被着されている。金属導体膜703は信号線として使用され、金属導体膜705はGND線として使用される。

30 【0009】ところで、このようなコプレーナ線路やマイクロストリップ線路などの伝送線路にあっては、低損失でかつ所望のインピーダンスを有する伝送線路を小さくすることが望まれている。特に、高いインピーダンスの線路を用いようとする場合、マイクロストリップ線路では基板厚が同じであれば線幅を細かくする方向がインピーダンスを上げる方向であるため導体損が増え損失が増加してしまう。コプレーナ線路では、中央導体とグラウンド間のギャップを増やさなければならないため線路全体としての大きさが増加してしまった。

## 【0010】

【発明が解決しようとする課題】本発明は、上記に述べた従来の問題点、大きなインダクタンスを有するスパイラルインダクタを形成するとインダクタンスの金属長が長くなり損失が増加する、また損失低減のためスパイラル幅を太くすると寄生容量が増加し共振周波数が下がるという問題を解決することを目的とする。

50 【0011】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、該半導体基板上に形成された絶縁膜と、該絶縁膜上に形成された強磁性導体膜からなるスパイラルインダクタとを備えたことを特徴とする。

【0012】また、本発明の半導体装置は、半導体基板と、該半導体基板上に形成された絶縁膜と、該絶縁膜上に形成された強磁性導体膜からなる伝送線路とを備えたことを特徴とする。

【0013】強磁性導体膜の表裏面側の少なくとも一方には強磁性導体膜が設けられていることが望ましい。

【0014】スパイラルインダクタの場合、スパイラルを形成する導体の持つインダクタンス成分を増加させることにより同じ導体長のインダクタンス成分を増加させることができる。逆に、同じインダクタンスを短い導体スパイラルで形成できれば導体損が抑制できることになり、この時線幅の増加を抑えることができる。このために比透磁率が1よりも大きい材料つまり高透磁率材を用いればよい。一般に用いられている個別部品としてのコイルインダクタでは空芯よりもフェライトなどの高透磁率材が巻芯として用いられている。これらは、平面的なものでなく3次元的に巻いたものでMMIC上のスパイラルインダクタとはその形状が異なっているがその目的はコイル形成する断面内に発生する磁場を強めてインダクタンスを大きくしようというものである。MMICのようにプレーナ型の素子では芯となる領域が狭くコイルインダクタ程の効果が得にくい。そこで、平面的なスパイラルインダクタを挟み込むようにすることによりその効果を高めてやれば良い。これによりスパイラルを形成する線素間の相互インダクタンス成分が増加しトータルのインダクタンスも増加する。

【0015】さて、この他に有効な強磁性体の用い方に強磁性体をスパイラルインダクタの導体そのものに用いて線素の自己インダクタンスを増加させればよい。Design of planar rectangular microelectronic inductor (IEEE transaction on parts, hybrids, and packaging, Vol. PHP-10, No.2, June 1974, H.M.Greenhouse)に引用されている直線パターンの自己インダクタンスは、 $L=0.0021 \{ \ln(2l/GMD) - 1.25 + AMD/l + (\mu/4)/T \}$ で表される。ここで、 $l$ は長さ、 $GMD$ はgeometric mean distance、 $AMD$ はarithmetic mean distance、 $\mu$ は導体の透磁率、 $T$ は周波数校正パラメータである。スパイラルインダクタの全体のインダクタンス分はスパイラルにしたことによる線素の相互インダクタンス分よりは線素が持つ自己インダクタンス分が支配的であるからこの式で示される $\mu$ を大きくすればよい。伝送線路についても同様の方法でインダクタンス分を大きくしてやれば特性インピーダンスを高くできる。また、インピーダンスを低くする場合も容量分を増やせばよいのだからコプレーナ線路では信号線、GND間ギャップを小さくする方向であるから小型化に適している。

【0016】

【作用】本発明によれば、基板表面に形成されるスパイラルインダクタ、伝送線路において、これらの導体を金属高透磁率材料で形成することにより、導体を持つインダクタンス成分を増加させる。よって、線の持つインダクタンス成分が増えることにより素子面積、損失を低減する。

【0017】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。図1は本発明の第1実施例に係る半導体装置の構造を示すもので、図1(a)はインダクタに注目したときの平面図、図1(b)は同図(a)のB-B'線に沿う断面図、図1(c)は同図(a)のC-C'線に沿う断面図である。これらの図において、1は半導体基板であり、この基板1上には例えばSiC<sub>2</sub>からなる絶縁膜2が形成されている。この絶縁膜2上は第一の配線層とされ、その表面には後述するスパイラルインダクタ5の引出し配線となる導体膜3が形成されている。絶縁膜2上にはさらに例えばSiC<sub>2</sub>からなる第二の絶縁膜4が形成され、スパイラルインダクタ5は、この絶縁膜4上に形成されている。絶縁膜4にはコンタクトホール6が開設されており、引出し配線導体膜3とスパイラルインダクタ5とは、このコンタクトホール6を通して接続されている。絶縁膜4上には例えばSiC<sub>2</sub>からなる第三の絶縁膜7が形成されている。

【0018】絶縁膜2、4間であって、引出し配線導体膜3が形成されている以外の領域には第一の高透磁率磁性体膜8が形成され、絶縁膜7上には、第二の高透磁率磁性体膜9が形成されている。絶縁膜4、7には、第一の高透磁率磁性体膜8から第二の高透磁率磁性体膜9にかけてそのスパイラルインダクタ5が存在しない領域を貫通するコンタクトホール10が開設されており、このコンタクトホール10内には第一、第二の高透磁率磁性体膜8、9を接続する高透磁率磁性体層11が埋め込まれている。

【0019】以上のような構造を得るためのプロセスについて説明する。

【0020】まず、半絶縁GaAs基板1上に絶縁膜2、例えばSiO<sub>2</sub>を堆積し形成する。この膜2上には第一の配線層でスパイラルインダクタの中央からの引出し線となる導体膜3を形成する。次いで、この引出し配線導体膜3以外の領域で少なくとも後にスパイラルを形成する領域を含む領域に第一の高透磁率磁性体膜8を形成する。本実施例においては、ここにNiZnフェライトを用いた。さらに、第二の絶縁膜4を全面に堆積し引出し配線導体膜3と接続する部分を開口しておく。この上に、金属高透磁率材料でスパイラルインダクタ5を形成する。このスパイラルインダクタ5の材料としては例えばNiFe合金パーマロイCを用いた。この後、第三の絶縁膜7を全面に堆積し、第二の高透磁率磁性体膜9を

形成した。この時、第一の高透磁率磁性体膜8と第二の高透磁率磁性体膜9は、分離されていてもスパイラル線に対して閉じていてもよい。

【0021】以上説明した本実施例によれば、スパイラルインダクタの導体周囲に配置された高透磁率膜によりスパイラルの線素間の相互インダクタンス成分を増加させトータルのインダクタンス成分を増加させる。また、導体そのものを金属高透磁率材料で形成することにより線素の自己インダクタンス成分を高め、同じようにトータルのインダクタンス成分を増加させる。これらの効果により、あるインダクタンスを有するスパイラルインダクタを形成する場合、スパイラルの全導体長を高透磁率材料を用いない場合に比べ短くすることができる。このため、インダクタによる損失を低減できる。

【0022】また、特に、高透磁率磁性体埋込み層11と高透磁率磁性体膜8、9との協働により磁束の閉回路(図1(c)破線)が形成されるため、よりインダクタンス成分の増加が可能となる。なお、相隣の埋込み層11の磁束(図1(c)一点鎖線)同士は打消し合うため破線のような一つの閉回路ができることになる。

【0023】ここで、図1に示す本実施例及び図4に示す従来例のスパイラルインダクタのSパラメータを測定し、図5に示す等価回路により素子パラメータを抽出した結果、本発明で形成したスパイラルインダクタは、従来のスパイラルインダクタに比べ約10倍のインダクタンス成分を有した。これにより、従来のおよそ1/10の長さのスパイラルでほぼ同じインダクタンスが得られる。この時、高透磁率材料の比抵抗は従来の材料である金等に比べ数倍高いがこれによる増加とスパイラル長の低減による抵抗減少で損失は若干ではあるが低減された。本発明の本実施例で用いた高透磁率材料に限定されるものではなく従来の比透磁率1の材料よりも大きいものであればその効果がありとくに比透磁率のより大きいものを用いれば効果は増大することは言うまでもない。

【0024】図2は本発明の第2実施例に係るコプレーナ線路を内蔵する半導体装置の構造を示すものである。この図において、201は半導体基板であり、この基板201上には第一の絶縁膜202が形成され、この絶縁膜202上には第一の高透磁率磁性体膜203が形成され、さらに全面に第二の絶縁膜204が形成されている。この絶縁膜204上には高透磁率磁性体膜2051~2053が形成されており、例えば、膜2051、2052が信号線、膜2053がGND線として使用される。さらに、絶縁膜204上の全面には第三の絶縁膜206が形成されており、この絶縁膜206上には第二の高透磁率磁性体膜207が形成されている。絶縁膜204、206には第一、第二の高透磁率磁性体膜203、207間であって、高透磁率磁性体膜2051~2053をよけて貫通するコンタクトホール208が開設されており、このコンタクトホール208内には高透磁率磁

性体が埋込まれ、高透磁率磁性体膜203、207を接続する高透磁率磁性体埋込み層209が形成されている。

【0025】以上のような構造の半導体装置におけるコプレーナ線路では、中央導体幅(W)と中央導体とGND間ギャップ幅(G)で特性インピーダンスが決定する。本実施例では従来の高透磁率材料を使わない場合(図6)と本発明による線路で中央導体の幅(W)を同じにして同じインピーダンスを得るために必要なGNDまでのギャップ(G)を比較したところ、本発明による線路のほうが小さかった。特に、中央導体の幅(W)が大きい程この差が大きく、低損失な線路をつくる場合に特に効果が大きい。

【0026】なお、本実施例のプロセスは第1実施例のスパイラルインダクタ形成工程の代りにコプレーナ線路の形成工程が入る以外は第1実施例のものと同様であるので、ここではその詳細な説明は省略する。

【0027】図3は本発明の第3実施例に係るマイクロストリップ線路を内蔵する半導体装置の構造を示すものである。この図において、301は半導体基板であり、この基板301上には第一の絶縁膜302が形成されており、この絶縁膜302上には第一の高透磁率磁性体膜303が形成され、さらに全面に第二の絶縁膜304が形成されている。この第二の絶縁膜304上には信号線となる高透磁率金属導体膜305が形成されている。さらに、この第二の絶縁膜304上の全面に第三の絶縁膜306が形成され、この第三の絶縁膜306上に第二の高透磁率磁性体膜307が形成されている。絶縁膜304、306には高透磁率金属導体膜305をよけて第一、第二の高透磁率磁性体膜303、307間を貫通するコンタクトホール309が開設され、このコンタクトホール309内には高透磁率磁性体が埋込まれており、この高透磁率磁性体埋込み層310によって両磁性体膜303、307が接続されている。基板301の裏面にはGND線となる比透磁率1の金属導体膜308が形成されている。

【0028】このように構成されたマイクロストリップ線路の場合、形成する基板の厚さ(GNDプレーンまでの距離)とが同じであれば高いインピーダンスを得るためにはストリップ幅を小さくする必要がある。本実施例では、同じ基板を用いて従来のマイクロストリップ線路と本発明によるマイクロストリップ線路を形成し同じインピーダンスを得るストリップ幅を比較したところ本発明によるストリップ線路の方が太い線路で得られた。このように太い線路で同一のインピーダンスが得られるため損失を低減できる。

【0029】なお、上記実施例は本発明の第1実施例に過ぎず本発明の要旨さえ満たしていれば同様の効果が得られる。例えば、導体に用いる高透磁率材料は金属高透磁率材料であればその組成や種類は問題にしない。ただ

7

し、比透磁率が大きく、比抵抗が低い材料ほど発明の目的に適していることは言うまでもない。また、このような導体を従来用いていた抵抗材料、金やアルミニウムと積層にするなどしても高透磁率材料を含みインダクタンス成分を大きくできさえすれば効果は若干小さくなくても従来の技術を上回る特性が得られる。

#### 【0030】

【発明の効果】以上説明したように本発明によれば、線のインピーダンス成分を増加させることができスパイラルインダクタや伝送線路においてその特性を改善し面積

#### 【図面の簡単な説明】

【図1】本発明の第一実施例に係るスパイラルインダクタ内蔵半導体装置の構造を示す平面図(a)、そのB-B'線断面図(b)、同C-C'線断面図(c)。

【図2】本発明の第二実施例に係るコプレーナ線路内蔵半導体装置の構造を示す断面図。

【図3】本発明の第三実施例に係るマイクロストリップ線内蔵半導体装置の構造を示す断面図。

【図4】従来のスパイラルインダクタ内蔵半導体装置の構造を示す断面図。

【図5】スパイラルインダクタ内蔵半導体装置のインピーダンス等価回路図。

【図6】従来のコプレーナ線路内蔵半導体装置の構造を示す断面図。

【図7】従来のマイクロストリップ線内蔵半導体装置の構造を示す断面図。

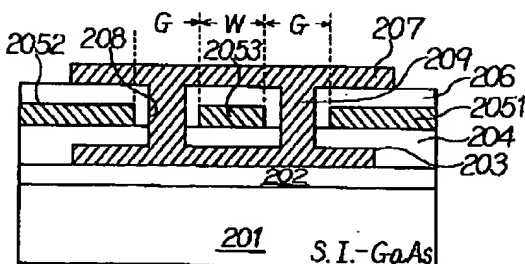
#### 【符号の説明】

1 半導体基板

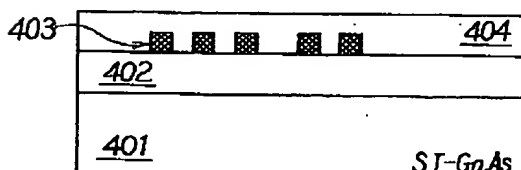
8

- 2 第一の絶縁膜
- 3 引出し配線金属導体膜
- 4 第二の絶縁膜
- 5 スパイラルインダクタ
- 6 コンタクトホール
- 7 第三の絶縁膜
- 8 第一の高透磁率磁性体膜
- 9 第二の高透磁率磁性体膜
- 10 コンタクトホール
- 11 高透磁率磁性体埋込み層
- 201 半導体基板
- 202 第一の絶縁膜
- 203 第一の高透磁率磁性体膜
- 204 第二の絶縁膜
- 205 1～2053 高透磁率磁性体膜
- 206 第三の絶縁膜
- 207 第二の高透磁率磁性体膜
- 208 コンタクトホール
- 209 高透磁率磁性体埋込み層
- 301 半導体基板
- 302 第一の絶縁膜
- 303 第一の高透磁率磁性体膜
- 304 第二の絶縁膜
- 305 高透磁率金属導体膜
- 306 第三の絶縁膜
- 307 第二の高透磁率磁性体膜
- 308 比透磁率1の金属導体膜
- 309 コンタクトホール
- 310 高透磁率磁性体埋込み層

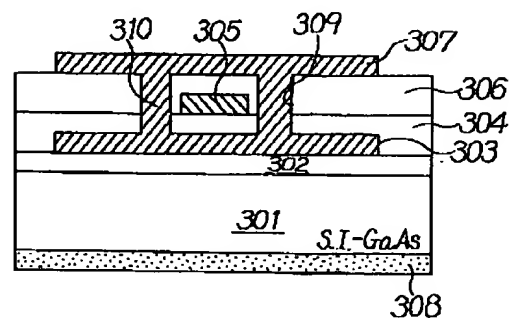
【図2】



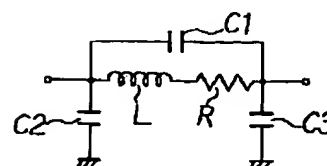
【図4】



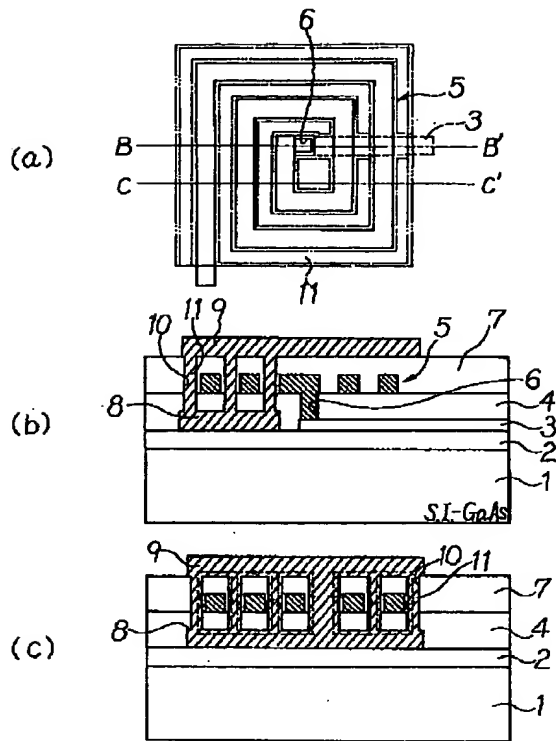
【図3】



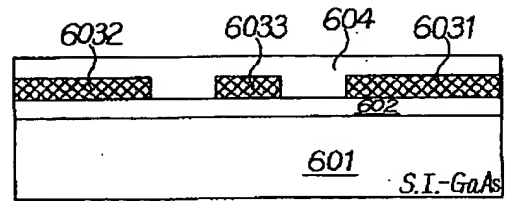
【図5】



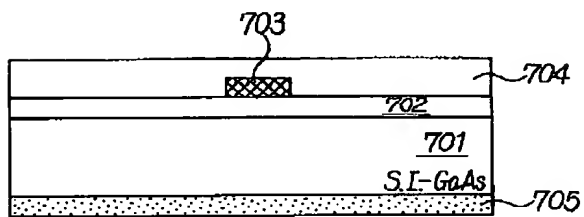
【図1】



【図6】



【図7】



CLIPPEDIMAGE= JP407183458A  
PAT-NO: JP407183458A  
DOCUMENT-IDENTIFIER: JP 07183458 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 21, 1995

INVENTOR-INFORMATION:

NAME

INOUE, TOMOTOSHI

ISHIDA, KENJI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP05327197

APPL-DATE: December 24, 1993

INT-CL\_(IPC): H01L027/04; H01L021/822

ABSTRACT:

PURPOSE: To increase the impedance component of a line, improve characteristics of a spiral inductor, and reduce area and loss, by forming a spiral inductor composed of a semiconductor substrate, an insulating film, and a ferromagnetic conductor film.

CONSTITUTION: An insulating film 2 is formed on a semiconductor substrate 1. A conductor film 3 to serve as a first wiring layer is formed, on the surface of which a lead-out wire of a spiral inductor 5 is formed. Further on the insulating film 2, a second insulating film 4 is formed, on which a spiral inductor 5 is formed. The spiral inductor 5 is formed of high permeability metal material. As the material, e.g. NiFe alloy permalloy C is used. After that, a third insulating film 7 is deposited on the whole surface, and a second high permeability magnetic film 9 is formed. Thereby the inductance component of a lead wire is increased, so that element area and loss can be reduced.